

LEE0031-US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YING-HSIN LI ET AL.

Serial No. New Application

ATTN. APPLICATION BRANCH

Filed: FEBRUARY 20, 2004

For: METHOD AND STRUCTURE OF DIODE

**CLAIM TO PRIORITY UNDER 35 U.S.C. § 119**

Sir:

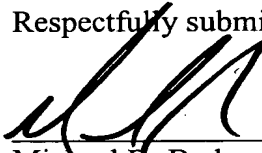
The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of the priority provided under 35 U.S.C. § 119 is hereby claimed:

Taiwanese Patent Appln. No. 092103686 filed February 21, 2003

In support of this claim, filed herewith is a certified copy of said foreign application.

Respectfully submitted,

By:

  
\_\_\_\_\_  
Michael D. Bednarek  
Reg. No. 32,329

Date: February 20, 2004  
SHAW PITTMAN LLP  
1650 Tysons Boulevard  
McLean, VA 22102  
Tel: (703) 770-7606

## TRANSLATION OF CERTIFIED DOCUMENT

THIS IS TO CERTIFY THAT ANNEXED IS A TRUE COPY FROM THE RECORDS OF THIS OFFICE OF THE APPLICATION AS ORIGINALLY FILED WHICH IS IDENTIFIED HEREUNDER.

APPLICATION DATE: **February 21, 2003**

APPLICATION NUMBER: **92103686**

(TITLE: **METHOD AND STRUCTURE OF DIODE**)

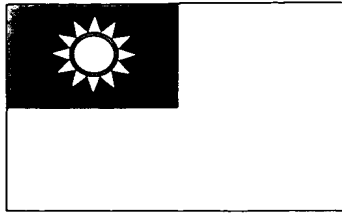
APPLICANT: Toppoly Optoelectronics Corporation

DIRECTOR GENERAL

蔡練生

ISSUE DATE: April 16, 2003

SERIAL NUMBER: 09220372370



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 02 月 21 日  
Application Date

申請案號：092103686  
Application No.

申請人：統寶光電股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 4 月 16 日  
Issue Date

發文字號：09220372370  
Serial No.

申請日期： 92. 2. 21	IPC分類
申請案號： 92103686	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	二極體之製程與結構
	英 文	Method and Structure of Diode
二、 發明人 (共6人)	姓 名 (中文)	1. 李英信 2. 楊勝捷 3. 石安
	姓 名 (英文)	1. Li, Ying-Hsin 2. Yang, Sheng-Chieh 3. Shih, An
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 高雄市三民區大順二路546巷5號 2. 桃園市鎮撫街120號 3. 彰化縣埔鹽鄉永樂村番金路98-1號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 統寶光電股份有限公司
	名稱或 姓 名 (英文)	1. TOPPOLY OPTOELECTRONICS CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區苗栗縣竹南鎮科中路十二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 陳瑞聰
	代表人 (英文)	1. Jui-Tsung CHEN



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共6人)	姓 名 (中文)	4. 柯明道 5. 曾當貴 6. 鄧至剛
	姓 名 (英文)	4. Ker, Ming-Dou 5. Tseng, Tang-Kui 6. Deng, Chih-Kang
	國 籍 (中英文)	4. 中華民國 TW 5. 中華民國 TW 6. 中華民國 TW
	住居所 (中 文)	4. 新竹市寶山路200巷3號4樓之3 5. 新竹縣竹東鎮光明路459巷122弄34號 6. 臺北縣新莊市中港三街17號3樓
	住居所 (英 文)	4. 5. 6.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：二極體之製程與結構)

本發明提供一種二極體之製程與結構。此二極體係供使用於採用薄膜電晶體製程之靜電放電 (electrostatic discharge) 防護電路。其製程包含下列步驟。形成半導體層於基板上。於半導體層中形成具第一載子 (carrier) 濃度之第一區域。於半導體層中形成具第二載子濃度之第二區域。形成絕緣層於半導體層上。蝕刻絕緣層以形成至少一接觸窗 (contact window)。以及形成金屬層於絕緣層上。其中，接觸窗暴露出半導體層一部份的上表面，金屬層填入接觸窗以接觸半導體層。

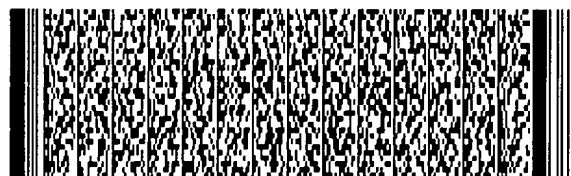
五、(一)、本案代表圖為：第 10 圖

(二)、本案代表圖之元件代表符號簡單說明：

302 基板	304 半導體層
310 絕緣層	312 接觸窗

六、英文發明摘要 (發明名稱：Method and Structure of Diode)

A method and a structure of a diode are provided. The diode is used in an electrostatic discharge protection circuit using TFT (thin film transistor) fabrication technology. A semiconductor layer is formed on a substrate. A first zone with a first carrier concentration is formed in the semiconductor layer. A second zone with a second carrier concentration is formed in



四、中文發明摘要 (發明名稱：二極體之製程與結構)

314 金屬層	1000 二極體
1006 第一區域	1008 第二區域
1016 第三區域	1018 第四區域
1020 第五區域	

六、英文發明摘要 (發明名稱：Method and Structure of Diode)

the semiconductor layer. An insulator is formed on the semiconductor layer. The insulator layer is etched to form at least one contact window. The contact window exposes a portion of upper surface of the semiconductor layer. A metal layer is formed on the insulator layer. The metal layer fills the contact window and contacts the semiconductor layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。





## 五、發明說明 (1)

### 一、【發明所屬之技術領域】

本發明係關於一種二極體之製程與結構。此二極體係供使用於採用薄膜電晶體製程之靜電放電防護電路。

### 二、【先前技術】

一般電子產品（例如顯示器面板）在運送過程中容易累積大量靜電荷。進而使產品受到大電流衝擊而降低性能，甚至損壞。因此須在產品中加入靜電放電防護電路。

圖 1 所示為目前薄膜電晶體製程中採用的靜電放電防護電路 100。此防護電路 100 主要係利用電晶體 102、104 與電阻 106、108 達成。但此種電路製作較為複雜。

### 三、【發明內容】

本發明之主要目的即在提供一種二極體之製程與結構。此二極體係供使用於採用薄膜電晶體製程之靜電放電防護電路。且此二極體耐壓較高，可以消除先前技術中耐壓不高的影響。

本發明之精神在於此二極體係應用於採用薄膜電晶體製程之靜電放電防護電路。此二極體可採用現有的薄膜電晶體製程，而毋需額外製程步驟及額外的光罩。且本發明針對二極體中的本質（intrinsic）區做摻雜（doping）濃度的調變，進一步加強二極體的耐壓度。



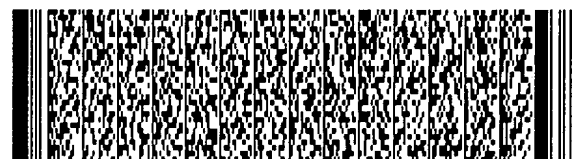
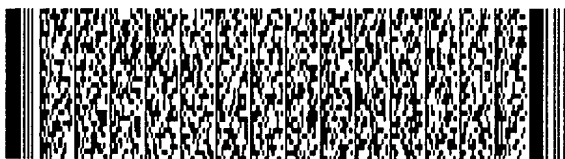
## 五、發明說明 (2)

圖 2 為應用本發明之靜電放電防護電路200示意圖。根據本發明之二極體204、206、208、210位於內部電路202和VDD、VSS之間，以達到防護效果。

本發明所提供的二極體係供使用於採用薄膜電晶體製程之靜電放電防護電路。其製程包含下列步驟。形成半導體層於基板上。於半導體層中形成具第一載子 (carrier) 濃度之第一區域，此第一載子濃度為一第一導電型。於半導體層中形成具第二載子濃度之第二區域，此第二載子濃度為一第二導電型。形成絕緣層於半導體層上。蝕刻絕緣層以形成至少一接觸窗 (contact window)。以及形成金屬層於絕緣層上。其中，接觸窗暴露出半導體層一部份的上表面，金屬層填入接觸窗以接觸半導體層。

上述製程中，第一區域可與第二區域鄰接或不鄰接。另外，若第一導電型為正型 (P型)，第二導電型則為負型 (N型)。若第一導電型為負型，第二導電型則為正型。

上述製程在形成絕緣層之前，更可包含於半導體層中形成一第三區域。此第三區域可為一本質區，並可位於第一區域與第二區域之間。第三區域亦可具一第三載子濃



#### 五、發明說明 (3)

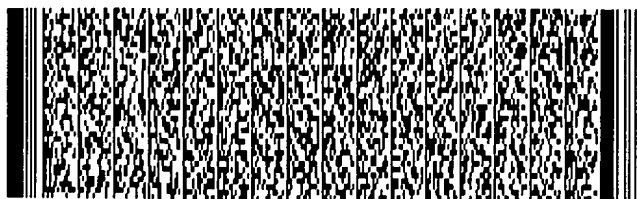
度。此第三載子濃度可為第一導電型，並可小於第一載子濃度。此時第三區域可位於第一區域與第二區域之間，並可與第一區域鄰接。

上述製程在形成絕緣層之前，可再包含於半導體層中形成一第四區域。此第四區域可為一本質區，並可位於第三區域與第二區域之間。此第四區域亦可具一第四載子濃度。此第四載子濃度可為第二導電型，並可小於第二載子濃度。此時第四區域可位於第三區域與第二區域之間，並可與第二區域鄰接。

上述製程在形成絕緣層之前，可再包含於半導體層中形成一第五區域。此第五區域可為一本質區，並可位於第三區域與第四區域之間。此第五區域亦可具一第五載子濃度。此時第五載子濃度可為第一導電型，並可小於第三載子濃度。此時第五區域可位於第三區域與第四區域之間。

#### 四、【實施方式】

圖3為本發明第一實施例300剖面示意圖。本實施例300包含一半導體層304、一絕緣層310，以及一金屬層314。半導體層304包含具第一載子濃度的第一區域306，以及具第二載子濃度的第二區域308。絕緣層310位於半導體層304上，包含至少一接觸窗312。金屬層314位於絕緣層310上。其中接觸窗312暴露出半導體層304之一部份上



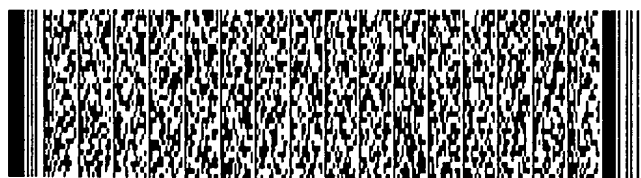
#### 五、發明說明 (4)

表面，金屬層314填入接觸窗312以接觸半導體層304。第一載子濃度為一第一正型載子濃度，第二載子濃度為一第二負型載子濃度。第一區域306與第二區域308鄰接。

圖4為本發明第二實施例400剖面示意圖。本實施例400中半導體層304包含具第一載子濃度的第一區域406，以及具第二載子濃度的第二區域408。第一載子濃度為一第一正型載子濃度，第二載子濃度為一第二負型載子濃度。第一區域406與第二區域408不鄰接，中間夾有第三區域416。本實施例400中，第三區域416為一本質區。

圖5為本發明第三實施例500剖面示意圖。本實施例500中半導體層304包含具第一載子濃度的第一區域506，具第二載子濃度的第二區域508，以及具第三載子濃度之第三區域516。第一載子濃度為一第一正型載子濃度，第二載子濃度為一第二負型載子濃度。第三載子濃度為一第三正型載子濃度，且小於第一正型載子濃度。第三區域516位於第一區域506與第二區域508之間，並分別與第一區域506及第二區域508鄰接。

圖6為本發明第四實施例600剖面示意圖。本實施例600中半導體層304包含具第一載子濃度的第一區域606，具第二載子濃度的第二區域608，以及具第三載子濃度之第三區域616。第一載子濃度為一第一正型載子濃度，第



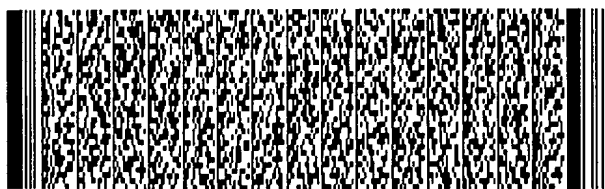
#### 五、發明說明 (5)

二載子濃度為一第二負型載子濃度。第三載子濃度為一第三負型載子濃度，且小於第二負型載子濃度。第三區域616位於第一區域606與第二區域608之間，並分別與第一區域606及第二區域608鄰接。

圖7為本發明第五實施例700剖面示意圖。本實施例700中半導體層304包含具第一載子濃度的第一區域706，具第二載子濃度的第二區域708，具第三載子濃度之第三區域716，以及具第四載子濃度之第四區域718。第一載子濃度為一第一正型載子濃度，第二載子濃度為一第二負型載子濃度。第三載子濃度為一第三正型載子濃度，且小於第一正型載子濃度。第四載子濃度為一第四負型載子濃度，且小於第二負型載子濃度。第三區域716與第四區域718皆位於第一區域706與第二區域708之間。第三區域716與第一區域706鄰接，第四區域718與第二區域708鄰接，第三區域716與第四區域718鄰接。

圖8為本發明第六實施例800剖面示意圖。本實施例800與圖7中第五實施例700相似，只是第四區域818為一本質區。

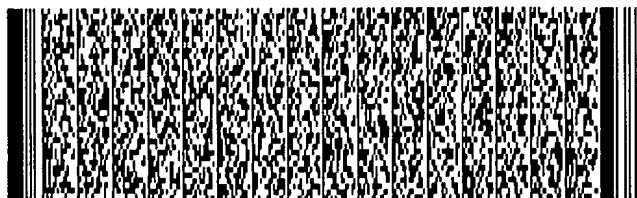
圖9為本發明第七實施例900剖面示意圖。本實施例900與圖7中第五實施例700相似，只是第三區域916為一本質區。



## 五、發明說明 (6)

圖 10 為本發明第八實施例1000剖面示意圖。本實施例1000中半導體層304包含具第一載子濃度的第一區域1006，具第二載子濃度的第二區域1008，具第三載子濃度之第三區域1016，具第四載子濃度之第四區域1018，以及一第五區域1020。第一載子濃度為一第一正型載子濃度，第二載子濃度為一第二負型載子濃度。第三載子濃度為一第三正型載子濃度，且小於第一正型載子濃度。第四載子濃度為一第四負型載子濃度，且小於第二負型載子濃度。第三區域1016與第四區域1018皆位於第一區域1006與第二區域1008之間。第三區域1016與第一區域1006鄰接，第四區域1018與第二區域1008鄰接，第三區域1016與第四區域1018不鄰接，中間夾有第五區域1020。本實施例1000中第五區域1020為一本質區。但第五區域1020也可具一第五載子濃度。此第五載子濃度可為一第五正型載子濃度，並小於第三正型載子濃度。此第五載子濃度亦可為一第五負型載子濃度，並小於第二負型載子濃度。

上述說明並非對本發明範疇的限制，且上述說明以及各種改變與均等性的安排皆於本發明申請專利範圍意欲保護的範疇內。



## 圖式簡單說明

### 五、【圖式簡單說明】

所附圖式係為配合說明書解釋本發明，圖3至圖8中類似編號表示類似元件。

圖1為先前技術中靜電放電防護電路之示意圖；

圖2為應用本發明之靜電放電防護電路示意圖；

圖3為本發明第一實施例剖面示意圖；

圖4為本發明第二實施例剖面示意圖；

圖5為本發明第三實施例剖面示意圖；

圖6為本發明第四實施例剖面示意圖；

圖7為本發明第五實施例剖面示意圖；

圖8為本發明第六實施例剖面示意圖；

圖9為本發明第七實施例剖面示意圖；以及

圖10為本發明第八實施例剖面示意圖。

### 元件符號說明

100 靜電放電防護電路

102, 104 電晶體

106, 108 電阻

200 靜電放電防護電路

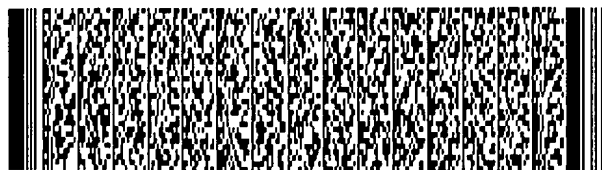
202 內部電路

204, 206, 208, 210 二極體

300, 400, 500, 600, 700, 800, 900, 1000 二極體

302 基板

304 半導體層



圖式簡單說明

306, 406, 506, 606, 706, 1006 第一區域

308, 408, 508, 608, 708, 1008 第二區域

310 絕緣層

312 接觸窗

314 金屬層

1020 第五區域

416, 516, 616, 716, 916, 1016 第三區域

718, 818, 1018 第四區域





#### 六、申請專利範圍

1. 一種在一基板上形成一二極體的方法，包含：

形成一半導體層於該基板上；

於該半導體層中形成具一第一載子 (carrier) 濃度之一第一區域，該第一載子濃度為一第一導電型；

於該半導體層中形成具一第二載子濃度之一第二區域，該第二載子濃度為一第二導電型；

形成一絕緣層於該半導體層上；

蝕刻該絕緣層以形成至少一接觸窗 (contact window)；以及

形成一金屬層於該絕緣層上；

其中，該接觸窗暴露出該半導體層之一部份的上表面，該金屬層填入該接觸窗以接觸該半導體層。

2. 如申請專利範圍第1項所述之方法，其中該二極體係採用一薄膜電晶體製程，並應用於電路上。

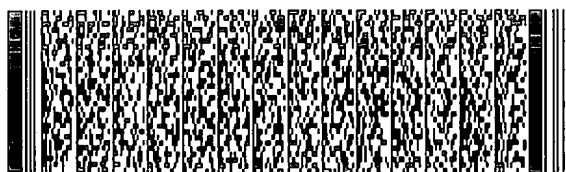
3. 如申請專利範圍第2項所述之方法，其中該第一區域與該第二區域鄰接。

4. 如申請專利範圍第2項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成一第三區域，該第三區域為一本質區，且該第一區域與該第二區域不鄰接，該第三區域位於該第一區域與該第二區域之間。



#### 六、申請專利範圍

5. 如申請專利範圍第2項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成具一第三載子濃度之一第三區域。
6. 如申請專利範圍第5項所述之方法，其中該第三載子濃度為該第一導電型，該第三載子濃度小於該第一載子濃度，該第一區域與該第二區域不鄰接，該第三區域位於該第一區域與該第二區域之間，該第三區域與該第一區域鄰接。
7. 如申請專利範圍第6項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成一第四區域，該第四區域為一本質區，且該第三區域與該第二區域不鄰接，該第四區域位於該第三區域與該第二區域之間。
8. 如申請專利範圍第6項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成具一第四載子濃度之一第四區域。
9. 如申請專利範圍第8項所述之方法，其中該第四載子濃度為該第二導電型，該第四載子濃度小於該第二載子濃度，該第三區域與該第二區域不鄰接，該第四區域位於該第三區域與該第二區域之間，該第四區域與該第二區域鄰接。



## 六、申請專利範圍

10. 如申請專利範圍第9項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成一第五區域，該第五區域為一本質區，且該第三區域與該第四區域不鄰接，該第五區域位於該第三區域與該第四區域之間。

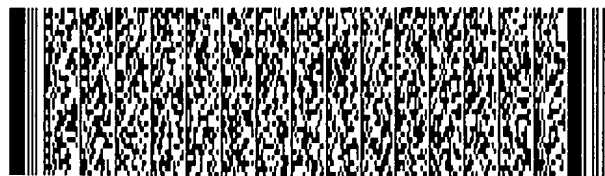
11. 如申請專利範圍第9項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成具一第五載子濃度之一第五區域。

12. 如申請專利範圍第11項所述之方法，其中該第五載子濃度為該第一導電型，該第五載子濃度小於該第三載子濃度，且該第三區域與該第四區域不鄰接，該第五區域位於該第三區域與該第四區域之間。

13. 如申請專利範圍第2至12項所述之方法，其中該薄膜電晶體製程係指一多晶矽（poly-silicon）薄膜電晶體製程。

14. 如申請專利範圍第13項所述之方法，其中若該第一導電型為一正型，則該第二導電型為一負型，若該第一導電型為該負型，則該第二導電型為該正型。

15. 一種二極體，包含：



## 六、申請專利範圍

一 半導體層，包含：

一 第一區域，具一第一載子濃度，該第一載子濃度為一第一導電型；以及

一 第二區域，具一第二載子濃度，該第二載子濃度為一第二導電型；

一 絕緣層，位於該半導體層上，該絕緣層包含至少一接觸窗；以及

一金屬層，位於該絕緣層上；

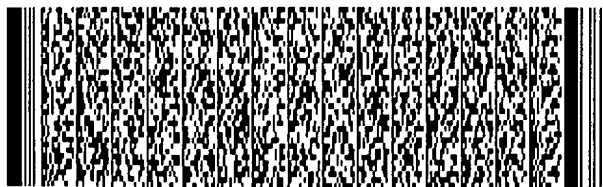
其中，該接觸窗暴露出該半導體層之一部份上表面，該金屬層填入該接觸窗以接觸該半導體層。

16. 如申請專利範圍第15項所述之二極體，其中該二極體係採用一薄膜電晶體製程，並應用於電路上。

17. 如申請專利範圍第16項所述之二極體，其中該第一區域與該第二區域鄰接。

18. 如申請專利範圍第16項所述之二極體，其中該半導體層更包含一第三區域，該第三區域為一本質區，且該第一區域與該第二區域不鄰接，該第三區域位於該第一區域與該第二區域之間。

19. 如申請專利範圍第16項所述之二極體，其中該半導體層更包含一第三區域，該第三區域具一第三載子濃度。



## 六、申請專利範圍

20. 如申請專利範圍第19項所述之二極體，其中該第三載子濃度為該第一導電型，該第三載子濃度小於該第一載子濃度，該第一區域與該第二區域不鄰接，該第三區域位於該第一區域與該第二區域之間，該第三區域與該第一區域鄰接。

21. 如申請專利範圍第20項所述之二極體，其中該半導體層更包含一第四區域，該第四區域為一本質區，且該第三區域與該第二區域不鄰接，該第四區域位於該第三區域與該第二區域之間。

22. 如申請專利範圍第20項所述之二極體，其中該半導體層更包含一第四區域，該第四區域具一第四載子濃度。

23. 如申請專利範圍第22項所述之二極體，其中該第四載子濃度為該第二導電型，該第四載子濃度小於該第二載子濃度，該第三區域與該第二區域不鄰接，該第四區域位於該第三區域與該第二區域之間，該第四區域與該第二區域鄰接。

24. 如申請專利範圍第23項所述之二極體，其中該半導體層更包含一第五區域，該第五區域為一本質區，且該第三區域與該第四區域不鄰接，該第五區域位於該第三區域與



六、申請專利範圍

該第四區域之間。

25. 如申請專利範圍第23項所述之二極體，其中該半導體層更包含一第五區域，該第五區域具一第五載子濃度。

26. 如申請專利範圍第25項所述之二極體，其中該第五載子濃度為該第一導電型，該第五載子濃度小於該第三載子濃度，且該第三區域與該第四區域不鄰接，該第五區域位於該第三區域與該第四區域之間。

27. 如申請專利範圍第16至26項所述之二極體，其中該薄膜電晶體製程係指一多晶矽 (poly-silicon) 薄膜電晶體製程。

28. 如申請專利範圍第27項所述之二極體，其中若該第一導電型為一正型，則該第二導電型為一負型，若該第一導電型為該負型，則該第二導電型為該正型。



[illegible]

100

1000

[illegible]

\_\_\_\_\_

1000

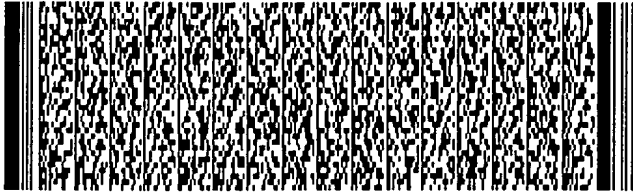
[illegible]

100

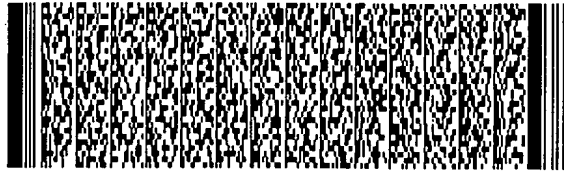
100

100

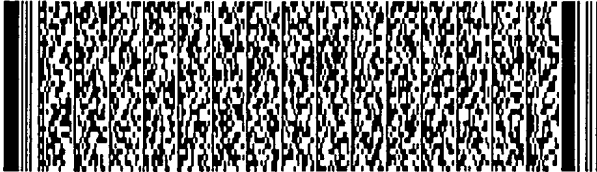
第 14/19 頁



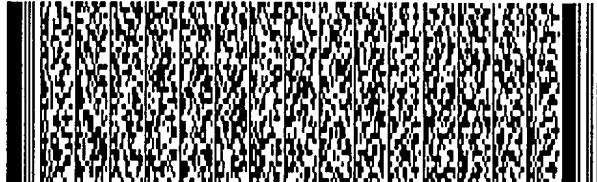
第 15/19 頁



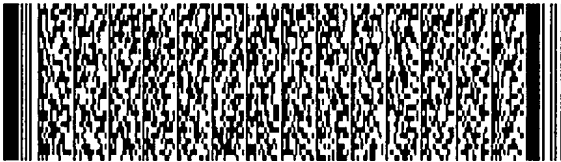
第 16/19 頁



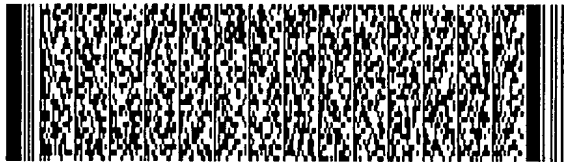
第 17/19 頁



第 18/19 頁



第 19/19 頁





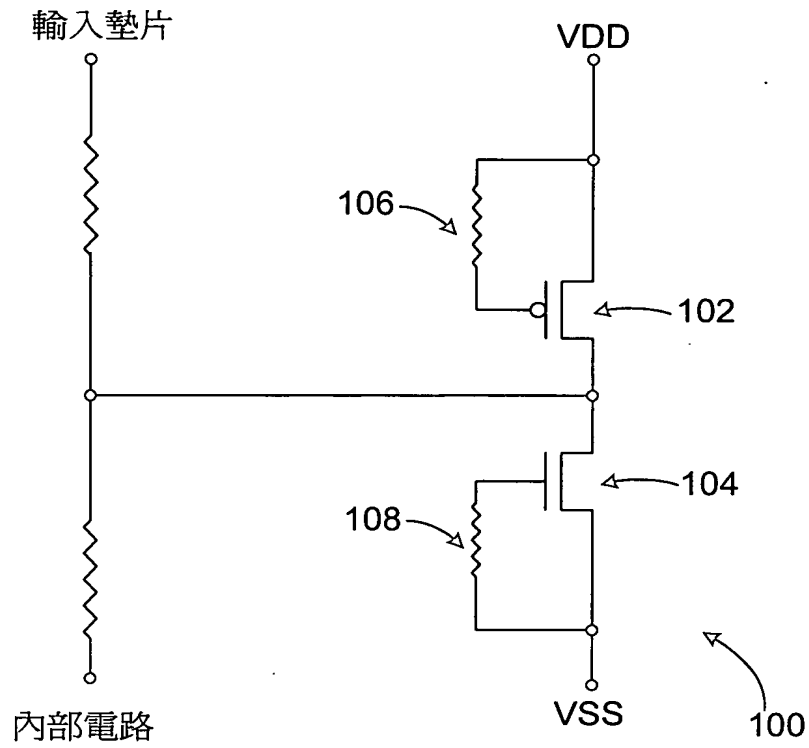


圖 1(先前技術)

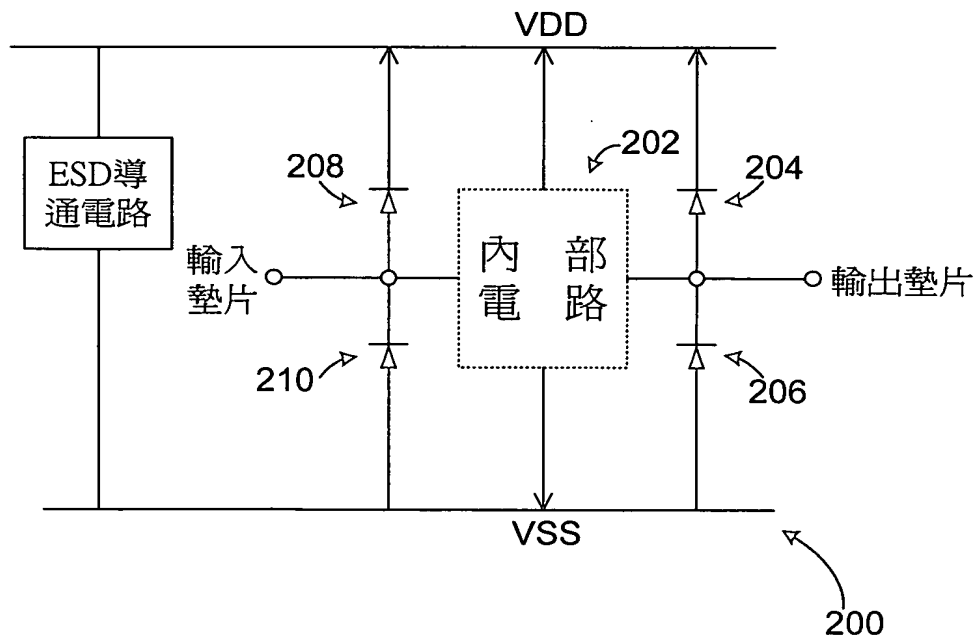


圖 2

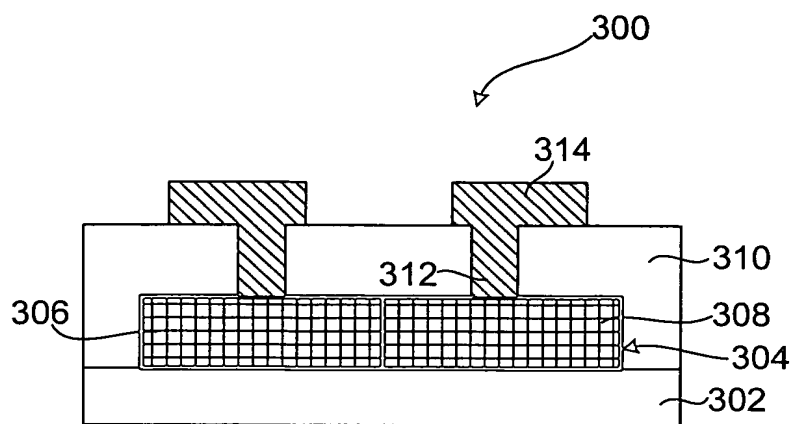


圖 3

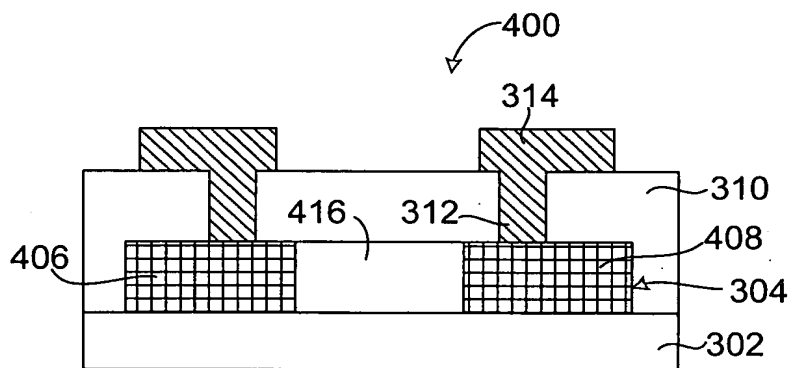


圖 4

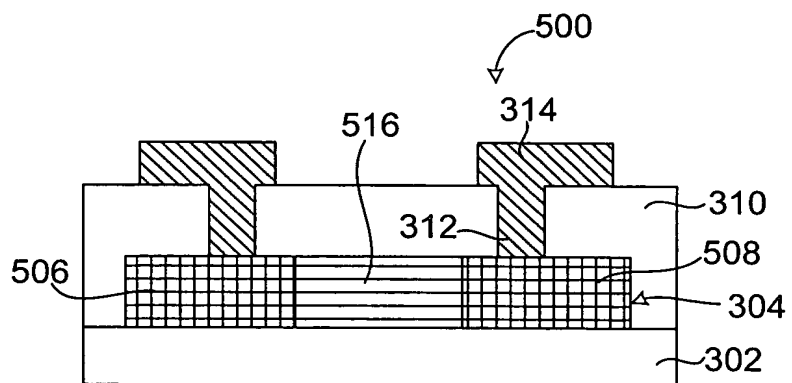


圖 5

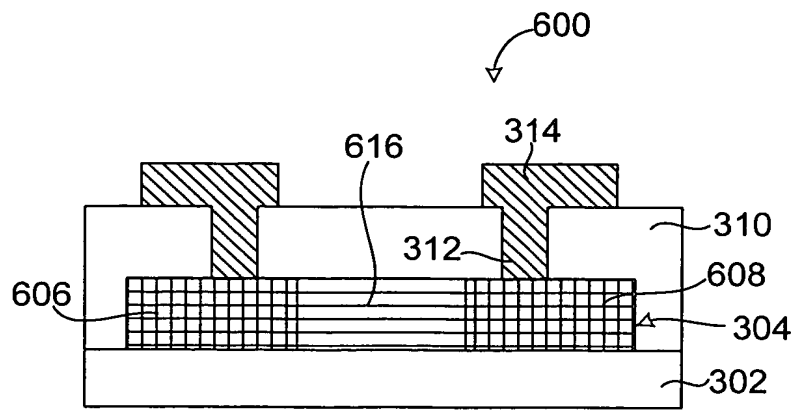


圖 6

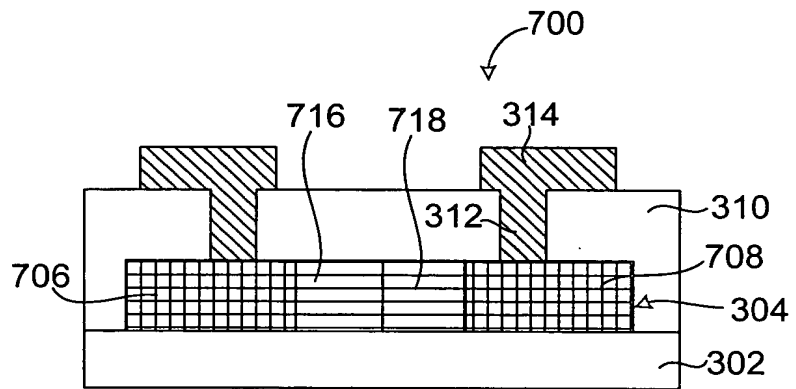


圖 7

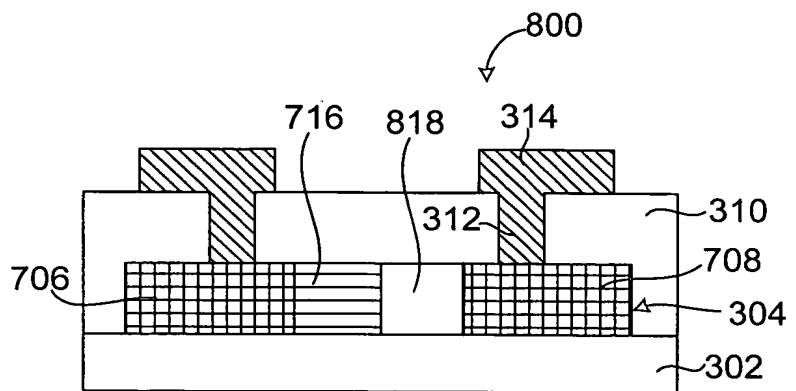


圖 8

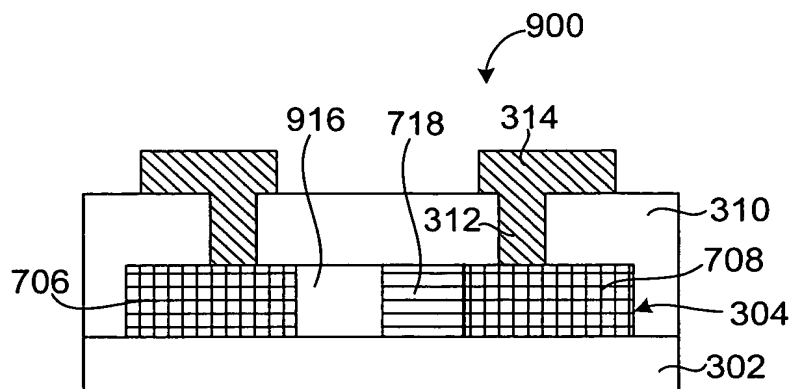


圖 9

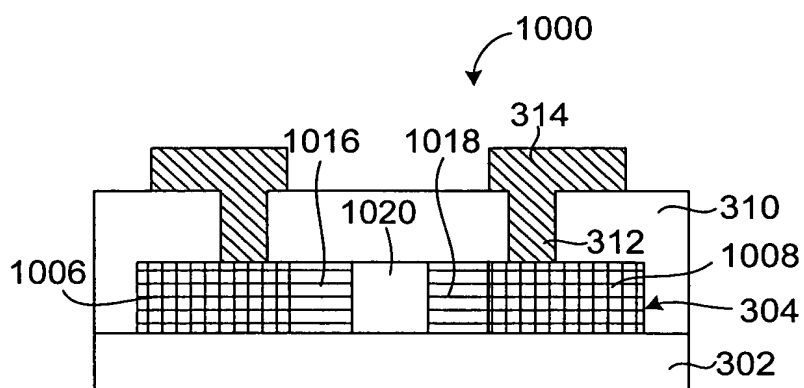


圖 10